



جامعة محمد الخامس بالرباط  
Université Mohammed V de Rabat

**École Nationale Supérieure d'Informatique et d'Analyse des Systèmes**  
Centre d'Études Doctorales en Sciences des Technologies de l'Information et de l'Ingénieur

## **AVIS DE SOUTENANCE DE THESE DE DOCTORAT**

**Monsieur Mohamed CHENTOUF**

soutiendra publiquement sa thèse de Doctorat en Informatique

Le Samedi 11 Décembre 2021 à 11h00 au Grand amphi à l'ENSIAS

Intitulé de la thèse

### **Development of an Ultra-Low Power Physical Design Flow for Application-Specific Integrated Circuits Design**



**Devant le Jury composé de :**

**Président :**

Pr. Mohamed ESSAAIDI, PES, ENSIAS, Université Mohammed V de Rabat

**Directeur de thèse :**

Pr. Zine El Abidine ALAOUI ISMAILI, PES, ENSIAS, Université Mohammed V de Rabat

**Rapporteurs :**

Pr. Sudarshan T S B, Professor, PES University, Bangalore, India

Pr. Khalid FAITAH, PES, ENSA, Université Chouaïb Doukkali d'El Jadida

Pr. Aimad EL MOURABIT, PES, ENSA, Université Abdelmalek Essaadi de Tanger

**Examineur :**

Pr. Mouhcine CHAMI, PES, INPT, Rabat

# Development of an Ultra-Low Power Physical Design Flow for Application-Specific Integrated Circuits Design

**Abstract:** Nowadays, power density and dissipation have become major challenges in the design of High-Performance Integrated Circuits (HPCs) that embed tens of millions of gates in a small chip and require very sophisticated packaging and cooling infrastructures. This power density can reach critical thresholds with the operating frequency increase.

Over-passing the power budget can lead to severe consequences, whether moving from cheap packaging materials and processes to more expensive ones or making necessary power-performance trade-offs to meet the reliability and battery life requirements.

Throughout the past decade, many power reductions techniques have been developed and deployed at the architectural and behavioral levels to resolve this issue. Techniques such as multi-Voltage design, Dynamic Frequency and Voltage Scaling, Clock Gating, Pipelining, Parallelism are very efficient for power reduction but should be taken into consideration at least at the structural level, and if the power target is not achieved at the physical level, the designer should modify the strategy and re-iterate from the start which may lead to the market window miss and the product positioning failure.

So, providing powerful power reduction techniques at the place and route stage is a key success criterion and a critical factor for time-to-market reduction, due to its low iteration cost, high power accuracy, and high automation available.

In this thesis, we will explore the power reduction opportunities that exist during the physical design phase and how to take advantage of the power analysis accuracy available at this level to achieve power, performance, and area goals (PPA).

We intervened in the different stages of the physical design flow. The phases of placement, optimization, clock tree synthesis, and routing have been studied and modified to produce a better PPA combination in an automatic manner.



The proposed algorithms have been implemented in a commercial placement and routing tool, validated on a wide variety of consumer integrated circuits, and have shown good power reduction while maintaining timing performance and surface.

**Keywords:** Application-Specific Integrated Circuits, Electronic Design Automation, Physical Design, Clock Tree Synthesis, Leakage-Aware Timing Optimization, Power Analysis, Power Efficiency, Power Optimization, Predictive Useful-Skew.



**Résumé :** De nos jours, la densité et la dissipation de puissance, ainsi que sa consommation excessive sont devenues des défis majeurs dans la conception de Circuits Intégrés Haute Performance (HPC), qui embarquent des dizaines de millions de portes dans une petite puce ce qui nécessite un emballage et des infrastructures de refroidissement très sophistiqués. Cette densité de puissance peut atteindre des seuils critiques avec l'augmentation de la fréquence de fonctionnement.

Le dépassement du budget énergétique peut avoir des conséquences considérables sur le produit final. Qu'il s'agisse de passer de matériaux d'emballage et de processus standard à des matériaux plus coûteux, ou de faire des compromis puissances-performances pour répondre aux critères de fiabilité et de durée de vie exigés.

Au cours de la dernière décennie, de nombreuses techniques de réduction de puissance ont été développées et déployées aux niveaux architectural et comportemental pour résoudre ce problème. Des techniques telles que la conception multi-tension, « Dynamic Frequency », « Voltage Scaling », « Clock Gating », le pipeline et le parallélisme sont très efficaces pour la réduction de puissance mais doivent être prises en compte au moins au niveau structurel, et si l'objectif de consommation n'est pas atteint au niveau physique, le concepteur doit modifier la stratégie et réitérer dès le début, ce qui peut conduire à un retard des livraisons et à un échec du positionnement du produit dans le marché.

Fournir des nouvelles techniques de réduction de puissance déployable au niveau d'implémentation physique est un critère clé de succès et un facteur critique pour la réduction du temps de développement, en raison de son faible coût d'itération, de l'automatisation, et de la précision d'estimation de puissance disponible à ce stade.

Dans cette thèse, les travaux se sont focalisés sur la réduction de puissance lors de la phase conception physique des circuits intégrés, en améliorant les différentes étapes du flot, à savoir, les algorithmes de placement, d'optimisation, de la synthèse d'arbre d'horloge, et du routage pour produire une meilleure combinaison Puissance, Performance et Surface (PPA) d'une manière automatique.

Les algorithmes proposés ont été implémentés dans un outil de placement et routage, validés sur une grande variété de circuits intégrés industriels, et ont montré une bonne réduction de puissance tout en maintenant les performances timing et surface.

**Mots clés :** Circuits intégrés à un application spécifique, Automatisation de la conception électronique, Conception physique, Synthèse d'arbre d'horloge, optimisation de la synchronisation en fonction des fuites, Efficacité énergétique, optimisation de la puissance, Prédictive Useful-skew.

